

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269492

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01L 29/78  
H01L 21/265  
H01L 21/8238  
H01L 27/092  
H01L 29/43

(21)Application number : 11-070723

(71)Applicant : NEC CORP

(22)Date of filing : 16.03.1999

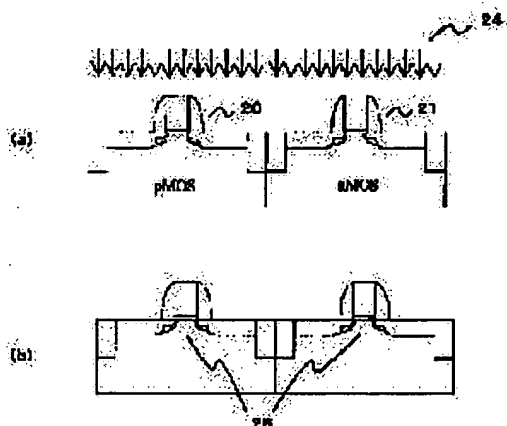
(72)Inventor : ONO ATSUKI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the long term reliability of a transistor by carrying out ion implantation of fluorine after the formation of a source-drain region and then carrying out a heat treatment to suppress the slow trap.

**SOLUTION:** First, gate electrodes 20, 21 are formed on a silicon substrate via a gate insulating film. Then, one conductivity type impurity is introduced into the gate electrodes and into the surface of the silicon substrate. Continuously, a first heat treatment is carried out. Then, after a silicon nitride film is formed as desired, fluorine is introduced into at least the gate electrodes 20, 21, and then a second heat treatment is carried out. If the second heat treatment is carried out in a predetermined temperature range after the introduction of fluorine, the Si-H bond and dangling bond of the silicon constituting a channel region 26, etc., are effectively substituted by the introduced fluorine to form Si-F bond so that the slow trap and hot channel effect can be suppressed more effectively. Further, the fluorine 24 having no contribution to the bond can be reduced and the deterioration of element characteristics can be prevented.



## LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection] 05.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269492

(P2000-269492A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)	
H 0 1 L	29/78	H 0 1 L	29/78	3 0 1 G 4 M 1 0 4
	21/265		21/265	F 5 F 0 4 0
	21/8238			6 0 4 Z 5 F 0 4 8
	27/092		27/08	3 2 1 D
	29/43		29/46	A
審査請求 有 請求項の数 6 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平11-70723

(22) 出願日 平成11年3月16日 (1999.3.16)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小野 篤樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

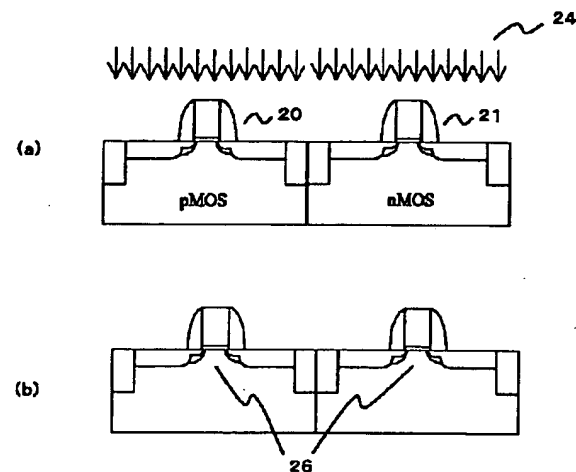
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 MOSFETにおいてスロートラップの発生を防止し、トランジスタの閾値電圧の経時変化を抑制する。また、ホットエレクトロン効果による閾値電圧変動や相互コンダクタンス  $g_m$  の劣化を防止する。

【解決手段】 ソース・ドレイン領域を形成後、基板全面にフッ素24をイオン注入し、その後、たとえば600～800℃で熱処理を行う。この熱処理により、チャネル領域26のダングリングボンドやSi-H結合をSi-F結合に置換する。



## 【特許請求の範囲】

【請求項1】 シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極および前記シリコン基板表面に一導電型の不純物を導入する工程と、第一の熱処理を行い、前記シリコン基板中の前記不純物を拡散させてソース・ドレイン領域を形成する工程と、少なくとも前記ゲート電極にフッ素を導入した後、第二の熱処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極および前記シリコン基板表面に一導電型の不純物を導入する工程と、第一の熱処理を行い、前記シリコン基板中の前記不純物を拡散させてソース・ドレイン領域を形成する工程と、全面にシリコン窒化膜を形成する工程と、少なくとも前記ゲート電極にフッ素を導入した後、第二の熱処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 前記不純物がボロンであることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記不純物が砒素、リン、またはアンチモンであることを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項5】 前記ゲート電極へのフッ素の導入を、ドーズ量を $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ とするイオン注入法により行うことを特徴とする請求項1乃至4いずれかに記載の半導体装置の製造方法。

【請求項6】 前記第二の熱処理の処理温度を $500 \sim 900^\circ\text{C}$ とすることを特徴とする請求項1乃至5いずれかに記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はMOSトランジスタの製造方法に関し、特に、pチャネルMOSトランジスタ（以下、pMOSという）において長期使用時の閾値電圧の変化やドレイン飽和電流の低下を改善し、nチャネルMOSトランジスタ（以下、nMOSという）においてホットエレクトロン効果による閾値電圧変動を抑制する技術に関する。

## 【0002】

【従来の技術】 半導体装置の微細化が進行しデザイン・ルールがディープ・サブミクロン以下に縮小される世代においては、pMOSの構造として表面チャネル型が一般的に採用され、これにより短チャネル効果の抑制が図られる。このような表面チャネル型の構造を実現するためには浅い接合のソース・ドレイン領域を形成する必要がある。このような浅い接合を実現するため、従来、ソース・ドレイン領域を形成する際のイオン種を $\text{B}^+$ に代え $\text{BF}_3^+$ とすることが広く行われていた。 $\text{BF}_3^+$ は $\text{B}^+$ に比べて質量が大きいため、その飛程を小さくすること

ができ、浅い接合を実現できるのである。

【0003】ところが $\text{BF}_3^+$ を用いた場合、ボロン突き抜けとよばれる現象が問題となっていた。MOSトランジスタの製造工程では、工程数を最小限に抑える必要から、通常、ゲート電極への不純物の導入とソース/ドレイン領域への不純物の導入とは共通プロセスにて行われる。したがってゲート電極中にも $\text{BF}_3^+$ が注入されることとなるが、ソース・ドレイン領域形成のための熱処理工程等において、ゲート電極中のボロンの拡散がフッ素により促進され、ボロンがゲート酸化膜中に取り込まれたりゲート酸化膜を突き抜けてシリコン基板中へ拡散してしまう。このようなボロン突き抜けが発生すると、トランジスタの閾値電圧が上昇したり、ブレイクダウン電圧が低下するなどゲート酸化膜の信頼性が低下する。このような問題は、Bと同時にFも導入されてしまう $\text{BF}_3^+$ のイオン注入を行った場合に顕著に発生する。 $\text{BF}_3^+$ の代わりに $\text{B}^+$ を用いたイオン注入であれば、ゲート電極中にFがBと同時に取り込まれることはないため、Bの拡散が生じたとしてもゲート酸化膜を突き抜けるには至らず、上記のような問題を引き起こすことは少ない。

【0004】ところで、近年ではイオン注入装置についても改良が進み、低い加速電圧でのイオン注入が可能となってきており、ボロン注入によっても浅い接合が実現される状況となってきた。したがって、加速電圧を低くする等、イオン注入法に工夫を施してボロン注入を行うことにより、ソース・ドレインの浅い接合とボロン突き抜けの解決の両方を実現できる。

【0005】また、ソース・ドレイン領域には $\text{B}^+$ と $\text{F}^+$ を導入し、ゲート電極には $\text{B}^+$ のみを導入する技術も開発されている。特開平8-330441号公報には、ソース・ドレイン領域に予め $\text{F}^+$ イオンを注入し、その後、全面にボロンをイオン注入する方法が示されており、このような方法を用いた場合も、ゲート電極中にはフッ素が導入されないためボロン突き抜けが防止され、同時に浅い接合も実現できると考えられる。

【0006】以上のようなゲート電極中に $\text{BF}_3^+$ ではなく $\text{B}^+$ が注入されるプロセスにおいては、ボロン突き抜け現象が抑制される。しかしながらこのようなプロセスをとった場合、従来認識されていなかった以下のような課題が生じる。

## 【0007】

【発明が解決しようとする課題】 ゲート絶縁膜直下の領域はトランジスタのチャネル領域として機能するが、このチャネル領域を構成するシリコンの終端部は、図5(a)のように、未結合のまま残存した形態（ダングリングボンド）や水素で結合された形態となっている。ここでダングリングボンドはキャリアをトラップし、チャネル領域の機能を低下させることから、従来技術では、通常、水素アニール処理を行い水素で終端させてSi-H結合を生じさせることによりダングリングボンドを解

消していた。ところがSi-Hの結合エネルギーは比較的低いため、水素が経時的に脱離し、再びダングリングボンドを生じやすい。このようにトランジスタの使用により経時的にダングリングボンドが増加していくと、チャネル領域のキャリアのトラップされる程度が経時的に増大する（この現象を以下、スロートラップと称する）。このようなスロートラップが発生すると、閾値電圧が経時的に変化し、ドレイン飽和電流が経時的に低下するといった問題を引き起こすこととなる。

【0008】このようなスロートラップの発生による問題は従来あまり認識されておらず、かかる問題を解決する技術についてはほとんど検討されていなかった。本発明はこのような課題を解決するためになされたものであり、スロートラップの発生を防止し、閾値電圧の変化、ドレイン飽和電流の低下を防止することを目的とする。

【0009】また本発明は、ホットエレクトロン効果による素子特性低下の問題を解決することも目的とする。ホットエレクトロン効果とは、ソース・ドレイン間の電界により加速された高エネルギーの電子や衝突電離で発生した電子や正孔がゲート酸化膜中に注入されてMOS特性が変化する現象をいう。従来のMOSFETにおいては、チャネル領域のシリコンは結合力の弱いSi-H末端構造となっていたため、トランジスタ駆動時にチャネルキャリアが衝突してSi-H結合が切断されやすかった。このようなSi-H結合の切断が生じると界面準位が発生し、ホットエレクトロン効果を引き起こす原因となる。ホットエレクトロン効果が発生すると閾値電圧変動や相互コンダクタンス $g_m$ の劣化が起き、素子の信頼性が大きく低下する。このような問題は特にNMOSにおいて顕著となる。NMOSはPMOSと比較して大きなドレイン飽和電流が流れるからである。さらにホットエレクトロン効果は、素子が微細化されゲート長が短くなり、ソース・ドレイン間に高電界が印加されるようになることさらに顕著となる。本発明はこのような問題を解決し、ホットエレクトロン効果による閾値電圧変動や相互コンダクタンス $g_m$ の劣化を有効に防止することをも目的とする。

【0010】なお、スロートラップの防止およびホットエレクトロン効果の防止は、いずれも結果として閾値電圧変動を抑制するという効果をもたらすものであるが、これらは本質的に異なる課題である。スロートラップによる閾値電圧の変動は、チャネル領域中のSi-H結合が経時的に徐々に切断されていき、ダングリングボンドが発生することにより引き起こされるものであり、トランジスタの長期信頼性の改善に係る課題である。一方、ホットエレクトロン効果による閾値電圧の変動は、トランジスタ使用時に生じるホットエレクトロンがゲート酸化膜中に侵入することにより引き起こされるものである。すなわち両者は異なるメカニズムにより異なる箇所

において発生する課題なのである。

【0011】以上のように本発明は、スロートラップの発生による閾値電圧の変化およびドレイン飽和電流の低下を防止するという第一の課題を解決し、さらに、ホットエレクトロン効果を抑制して閾値電圧変動や相互コンダクタンス $g_m$ の劣化を防止するという第二の課題を解決することを目的とするものであるが、特に、pMOSに適用した場合にスロートラップの問題を解決し、nMOSに適用した場合にホットエレクトロン効果の問題を解決することを主目的とする。pMOSではオン電流が小さいためホットエレクトロンの問題が比較的少なく、スロートラップの問題がより重要であり、一方、nMOSでは逆にホットエレクトロンの問題の方がより重要となるからである。

【0012】

【課題を解決するための手段】本発明者は、上記課題に対し、フッ素を導入し、チャネル領域のシリコン末端をSi-F結合に置き換えることが有効であることを見だし、本発明の完成に至ったものである。

【0013】上記課題を解決する本発明によれば、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極および前記シリコン基板表面に一導電型の不純物を導入する工程と、第一の熱処理を行い、前記シリコン基板中の前記不純物を拡散させてソース・ドレイン領域を形成する工程と、少なくとも前記ゲート電極にフッ素を導入した後、第二の熱処理を行う工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0014】また本発明によれば、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極および前記シリコン基板表面に一導電型の不純物を導入する工程と、第一の熱処理を行い、前記シリコン基板中の前記不純物を拡散させてソース・ドレイン領域を形成する工程と、全面にシリコン窒化膜を形成する工程と、少なくとも前記ゲート電極にフッ素を導入した後、第二の熱処理を行う工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0015】本発明の半導体装置の製造方法では、少なくともゲート電極中にフッ素を導入した後、第二の熱処理によりゲート電極中のフッ素を拡散させ、拡散させたフッ素とゲート絶縁膜直下の領域のシリコンとを結合させる。これにより図5(a)に示すSi-H結合やダングリングボンドが効率的にフッ素で置換され、図5(b)のようなSi-F結合となる。Si-F結合はSi-H結合と比較して高い結合エネルギーを有するため、結合が経時的に徐々に切断されてダングリングボンドが増加するといった現象はほとんど発生しない。したがってスロートラップがほとんど発生せず、閾値電圧の変化やドレイン飽和電流の低下を効果的に防止することができる。また、Si-F結合はSi-H結合よりも高

い結合エネルギーを有するため、ホットエレクトロン効果の抑制にも有効である。従来のMOSFETでは、Si-H結合末端の切断により界面準位が発生し、ホットエレクトロン効果による素子特性の劣化が起こりやすかったが、本発明においてはSi-F結合やダングリングボンドがSi-F結合に置換されているため、かかる問題を効果的に解消できるのである。

【0016】本発明においては、ソース・ドレイン領域を形成した後、フッ素導入を行う。この順序を逆にしてフッ素導入後にソース・ドレイン領域を形成すると、スロートラップを抑制する等の効果が必ずしも充分に得られないばかりか、ボロン突き抜けが顕著になる等の問題を引き起こすことがある。

【0017】たとえばソース・ドレイン領域の不純物としてBF<sub>3</sub>・やB<sup>+</sup>を用いるpMOSにおいては、これらのイオン注入前にゲート電極中にフッ素が導入されるとボロン突き抜けの問題が顕在化する。この場合、フッ素導入後にソース・ドレイン領域形成等を目的とする熱処理が行われるが、この熱処理を、ソース・ドレインの形成および表面チャネル構造のゲート電極中のゲートの空乏化の解消に最適な条件で行うと、フッ素存在下で高温の状態となるためにボロン突き抜けが顕著になりやすいのである。たとえば従来のpMOSの製造方法において、BF<sub>3</sub>・を全面にイオン注入した後、熱処理により不純物を活性化してソース・ドレイン領域を形成するプロセスが広く行われていた。このプロセスにおいてはフッ素の存在下でソース・ドレイン領域形成のための熱処理が行われる。ところが前述のようにフッ素はボロンの拡散を促進することから（特開平8-330441号公報等）、上記熱処理時によってゲート電極中のボロンが高い拡散速度で拡散し、ゲート酸化膜を突き抜けてシリコン基板中へ拡散してしまうのである。

【0018】またnMOSにおいてフッ素導入後にソース・ドレイン領域の形成を行うと、不純物の拡散深さが変わり、設計通りの深さのソース・ドレイン領域が形成されなくなる場合がある。フッ素存在下では不純物の拡散速度が変わるため、ゲート酸化膜中のフッ素がシリコン基板中に拡散し、このフッ素がソース・ドレイン領域に導入された不純物の拡散を促進して拡散深さの変動をもたらす場合がある。特にフッ素の導入を基板全面に行った場合、このような問題が顕著となる。

【0019】またフッ素導入後にソース・ドレイン領域を形成すると、スロートラップを抑制する等の本発明の効果は必ずしも充分に得られない。先にフッ素を導入した場合、フッ素導入後にソース・ドレイン形成のための熱処理が行われることになるが、ソース・ドレイン形成に好適な条件で熱処理すると、いったん導入されたフッ素がガス化し、基板やゲート電極から外部に放出する、いわゆる外方拡散が起こりやすい。このためゲート電極中のフッ素残存量が少なくなり、Si-F結合が充分に

形成されなくなることがある。近年ではプロセス効率の向上等の観点からソース・ドレイン形成の際のアニール方法としてRTA（Rapid Thermal Annealing）等により高温の急速アニールが広く用いられるが、このような熱処理方法とした場合、特に外方拡散が顕著となり、ゲート電極中のフッ素残存量が少なくなる。

【0020】さらに、フッ素導入を先に行った場合、Si-F結合の生成に寄与しないフッ素が増大し、スロートラップを抑制する等の効果が充分に得られないばかりでなく素子特性の劣化をもたらす場合がある。フッ素導入後、熱処理を行うことによりSi-H結合やダングリングボンドがSi-F結合に置換されるが、この置換反応が進行する程度は、フッ素の拡散とSi-F結合生成とのバランスにより決定される。したがって、Si-F結合生成のための熱処理は、導入するフッ素量や他の条件に応じ、最適な条件にて行うことが望ましい。ところがフッ素導入後、ソース・ドレイン形成のための熱処理を行った場合、この熱処理条件によってフッ素の拡散とSi-F結合生成とのバランスが決定することとなる。

一般にソース・ドレイン形成のための熱処理は高温にて行われることから、Si-F結合の生成よりもフッ素の拡散の方が優先し、結果としてSi-F結合に寄与しないフッ素が増大しやすいのである。この場合、Si-F結合の生成率が低くなって本発明の効果が充分に得られなくなるばかりか、後の工程において未結合のフッ素の拡散により素子特性が劣化する場合がある。たとえばシリコン基板中、あるいは後の工程で形成された層間絶縁膜中を未結合のフッ素が熱拡散し、トランジスタ特性等の劣化をもたらすことがある。また、ゲート電極中に未結合フッ素が残存し、ソース・ドレイン形成のための熱処理工程だけでなく、その後の熱処理工程においてもボロン突き抜けを引き起こす場合がある。本発明においては、このような未結合フッ素の残存を防止するため、第二の熱処理を行っているのである。

【0021】以上のことから、本発明ではソース・ドレイン領域を形成した後にフッ素導入を行っている。

【0022】なお、ソース・ドレイン領域形成前にフッ素を導入することについては、本発明とは異なる目的で検討された例もある。特開平5-251463号公報には、LDD構造のFETを製造するプロセスにおいて、サイドウォール形成に先だってゲート酸化膜中にフッ素を導入する方法が示されている。LDD構造の形成においては、まずLDD形成のためのイオン注入を行った後、サイドウォールを形成し、次いでサイドウォールをマスクとしてソース・ドレイン領域形成のためのイオン注入が行われることから、上記プロセスはフッ素導入後にソース・ドレイン領域の形成を行うものである。上記公報記載の技術は、このような順序でフッ素導入を行うことによりホットキャリア注入時の閾値電圧の変動、キャリア移動度の低下の抑制を図っている。すなわち、ゲ

ート酸化膜内にSi-F結合を形成せしめ、ホットキャリアがゲート酸化膜に注入されることにより生じる閾値電圧の変動等を抑制している。しかしながらこのような順序でフッ素導入を行った場合、ゲート酸化膜中にフッ素が存在する状態でソース・ドレイン形成のための熱処理が行われるため、ボロン突き抜けが顕著となりやすい。さらに、フッ素の外方拡散が顕著となり、また、Si-F結合の生成よりもフッ素の拡散が優先されるため、チャネル領域のSi-F結合が必ずしも十分に生成されず、本発明の目的であるスロートラップの抑制等に対しては十分な効果は得られない。

【0023】以上のように、スロートラップの抑制とは異なる目的でフッ素導入を行うプロセスは従来からも検討されているが、これらのプロセスにおいてはソース・ドレイン領域形成前にフッ素が導入されている。スロートラップの問題は従来認識されることが少なく、その対策も十分に検討されていなかったが、本発明者らの検討によれば、フッ素導入を行うこと、およびフッ素の導入をソース・ドレイン領域形成後に行うこと等によりかかる問題を有効に解決できることが明らかになった。本発明はかかる知見に基づいて完成されたものである。

【0024】本発明におけるフッ素の導入は、ソース・ドレイン領域を形成し、全面にシリコン窒化膜を形成した後に行われることが好ましい。シリコン窒化膜を設けることにより、フッ素の外方拡散を防止し、Si-F結合を十分に形成することができる。また、フッ素がゲート電極や基板中に残存する率が高くなるため、フッ素導入量を必要最小限にすることができ、工程上、有利である。シリコン窒化膜を設けないプロセスにおいては、導入されたフッ素のうちSi-F結合生成に寄与しないものも一定程度存在するため、相当量のフッ素を導入する必要がある。ところが大量のフッ素を導入した場合、充分なアニールを行わないと、層間絶縁膜などの上層膜やその界面にフッ素ガスが閉じこめられ、膜の膨れや剥離が生じる場合がある。このためアニール時間をある程度長くにとって不要なフッ素をガス化して除去する必要がある。したがってプロセス効率が低下する場合があります。また、残存フッ素を的確に制御することが困難になる場合がある。シリコン窒化膜形成後にフッ素の導入を行えば、プロセス効率を向上でき、また、後の工程においてフッ素が拡散することによる素子特性の劣化を防止することができる。また、このシリコン窒化膜は、その後のコンタクトホール形成工程にてエッチング阻止膜としての役割を果たし、電流リーク等を防止できるという利点も得られる。

【0025】

【発明の実施の形態】本発明の半導体装置の製造方法では、まず、シリコン基板上にゲート絶縁膜を介してゲート電極を形成する。ゲート絶縁膜としてはたとえばシリコン熱酸化膜が用いられる。ゲート電極は、多結晶シリ

コンや高融点金属等から構成され、これらを併用した多層構造としてもよい。ゲート電極の形成方法については特に制限が無いが、たとえばゲート絶縁膜およびゲート電極層を成膜した後、選択エッチングによりパターンニングするという方法が用いられる。

【0026】次にゲート電極およびシリコン基板表面に一導電型の不純物を導入する。シリコン基板に対しては、通常、ゲート電極の両脇の領域に不純物が導入される。不純物導入は、たとえばイオン注入法により行うことができる。上記のようにゲート電極とシリコン基板の両方に対して同一工程で不純物を導入することにより、プロセス効率を上げることができる。

【0027】つづいて第一の熱処理を行う。この熱処理によりシリコン基板中の不純物が拡散してソース・ドレイン領域が形成されるのであるが、通常は、これと同時にゲート電極中の不純物が活性化され、ゲート電極の導電率の向上が図られる。第一の熱処理の条件については、不純物の導入条件等に応じて適宜設定される。たとえば不純物導入をイオン注入法により行った場合、打ち込みイオン種、加速電圧、ドーズ量等に応じて設定される。なお上記熱処理をRTAにより行えば、短時間で不純物の活性化を行うことができ、不純物拡散層の分布や基板上の素子への悪影響を抑えることができる。特に、浅い不純物拡散層を形成した場合、RTAによる処理が有効である。RTAを用いる場合、処理温度は通常、900～1100℃とする。

【0028】次に、所望によりシリコン窒化膜を形成した後、少なくともゲート電極にフッ素を導入し、次いで第二の熱処理を行う。フッ素の導入は、イオン注入法や熱拡散法等、種々の方法により行うことができ、プロセス効率上、ゲート電極だけでなく基板全面に導入してもよい。イオン注入法による場合はドーズ量を好ましくは $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、さらに好ましくは $5 \times 10^{14} \text{ cm}^{-2} \sim 3 \times 10^{15} \text{ cm}^{-2}$ とする。加速電圧は好ましくは5～30keV、さらに好ましくは5～20keVとする。このようなイオン注入条件とすることにより、基板への損傷を与えることなくフッ素を充分に導入することができる。

【0029】熱拡散法による場合は、たとえばNF<sub>3</sub>等のフッ素含有ガス中で熱処理するという方法が用いられる。熱処理温度はたとえば700～950℃、好ましくは750～900℃とする。熱処理温度が高すぎるとソース・ドレイン領域の不純物分布に影響を及ぼす場合があり、pMOSにおいてはボロン突き抜けが起こることがある。一方、熱処理温度が低すぎるとフッ素が充分に導入されない場合がある。

【0030】フッ素導入後の第二の熱処理は、フッ素を拡散させてゲート絶縁膜の領域に移動させ、この領域中のシリコンの末端部を効率的にSi-F結合に置換するために行われるものである。第二の熱処理の処理温度

は、好ましくは500~900℃、さらに好ましくは600~800℃とする。熱処理温度が高すぎると、フッ素の外方拡散が顕著となったり、Si-F結合生成よりもフッ素の拡散が優先してSi-F結合が十分に形成されないことがある。また、ボロン突き抜けを引き起こすことがあり、さらに、ソース・ドレイン領域の不純物濃度プロファイルが変動することもある。一方、熱処理温度が低すぎるとフッ素が十分に導入されない場合がある。上記温度範囲で第二の熱処理を行えば、導入されたフッ素がチャンネル領域等を構成するシリコンのSi-H結合やダングリングボンドを効率的に置換してSi-F結合を生成し、スロートラップやホットチャンネル効果を一層効果的に抑制できる。また結合に寄与しないフッ素を少なくでき、このようなフッ素による素子特性の劣化を防止することができる。

【0031】本発明においてフッ素導入前に窒化シリコン膜を形成する場合は、膜形成をLP (Low Pressure) CVD法により行うことが好ましい。これにより膜の緻密性が向上し、フッ素の外方拡散をより効果的に防止することができる。成膜条件については、成膜温度を600~750℃とし、成膜時間は1~7時間とすることが好ましい。これにより膜の緻密性を一層向上させることができる。

【0032】本発明は、ゲート電極の幅が0.2μm以下のMOSFETやゲート絶縁膜の厚みが4nm以下のMOSFETに適用した場合に特に効果的である。このような微細化されたFETでは、スロートラップやホットエレクトロン効果による閾値電圧変動等の影響が大きくなるからである。

【0033】本発明は、pMOS、特にp型電極を備えた表面チャンネル型のpMOSに適用した場合、一層効果的にスロートラップの問題を解決できる。pMOSの場合、nMOSに比較してドレイン飽和電流が小さく、スロートラップの影響が大きくなりやすいからである。特に表面チャンネル型のpMOSでは、チャンネル領域が狭いためにスロートラップの影響はさらに大きくなる。したがって本発明は、不純物としてボロンを用いた場合、さらには加速電圧8keV以下のイオン注入法により浅い接合のソース・ドレイン領域を形成するプロセスに適用した場合、一層効果的にスロートラップの問題を解決できる。

【0034】また本発明をnMOSに適用した場合には、スロートラップの抑制よりもむしろホットエレクトロン効果の問題が有効に解決される。nMOSはpMOSに比較してドレイン飽和電流が大きく、ホットエレクトロン効果が顕著となるからである。この場合、ソース・ドレイン領域の不純物としては砒素、リン、アンチモン等が用いられる。

【0035】

【実施例】実施例1

本実施例は、本発明をCMOS製造プロセスに適用した例を示すものである。以下、図1~4を参照して説明する。

【0036】まず図1(a)のように、シリコン基板1上にSTI (Shallow Trench Isolation) による素子分離膜2を形成した後、nMOS形成領域にレジストマスク3を設け、pMOS形成領域にリンをイオン注入した。これによりn型ウェル4を形成した。つづいてレジストマスク3を残したまま、閾値電圧調整のためのチャンネル用不純物としてAsを注入した。イオン注入条件は、加速電圧100keV、ドーズ量 $7 \times 10^{12} \text{ cm}^{-2}$ とした。

【0037】次いで図1(b)のように、pMOS形成領域にレジストマスク5を設け、nMOS形成領域にボロンをイオン注入した。これによりp型ウェル6を形成した。つづいてレジストマスク5を残したまま、閾値電圧調整のためのチャンネル用不純物としてボロンを注入した。イオン注入条件は、加速電圧30keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ とした。

【0038】つづいて850℃でバイロジェニック酸化を行い、活性領域の表面に厚さ4nmのゲート酸化膜7を形成した後、その上に多結晶シリコン8を膜厚150nmとして堆積し、これらを選択エッチングによりパターンニングした(図1(c))。各ゲート電極のゲート長は0.18μmとした。

【0039】次に図2(a)に示すように、nMOS形成領域にレジストマスク12を設けてpMOS形成領域にイオン注入し、高濃度の不純物が注入されたソース・ドレインエクステンション領域13を形成した。イオン種は $\text{BF}_3$ とし、加速電圧5keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ とした。次いでレジストマスク12を残したままポケット領域14形成のためのイオン注入を行った。このイオン注入は注入角度を25度とする回転注入法により行った。イオン種としてAsを用い、加速電圧70keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ とした。

【0040】次に図2(b)に示すように、pMOS形成領域にレジストマスク15を設けてnMOS形成領域にイオン注入し、高濃度の不純物が注入されたソース・ドレインエクステンション領域16を形成した。イオン種はAsとし、加速電圧10keV、ドーズ量 $4 \times 10^{14} \text{ cm}^{-2}$ とした。次いでレジストマスク15を残したままポケット領域17形成のためのイオン注入を行った。このイオン注入は注入角度を25度とする回転注入法により行った。イオン種として $\text{BF}_3$ を用い、加速電圧30keV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ とした。

【0041】次いでサイドウォール18およびサイドウォール19を公知の方法により形成し、ゲート電極20およびゲート電極21を形成した(図2(c))。つづいてpMOS形成領域にボロンのイオン注入を行った。

これによりソース・ドレイン領域22の形成とゲート電



極20への不純物導入が同時に行われた(図2

(d))。ボロン注入条件は、加速電圧5 keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ とした。

【0042】つづいてnMOS形成領域にヒ素のイオン注入を行った。これによりソース・ドレイン領域23の形成とゲート電極21への不純物導入が同時に行われた(図2(d))。ボロン注入条件は、加速電圧50 keV、ドーズ量 $6 \times 10^{15} \text{ cm}^{-2}$ とした。この後、窒素雰囲気下、1050℃10秒間のRTA(Rapid Thermal Annealing)処理を行い、ソース・ドレイン領域およびゲート電極中の不純物を活性化した。図2(d)はここまでの工程を終了した状態を示す。

【0043】次いで図3(a)に示すように全面にフッ素24のイオン注入を行った。注入条件は、加速電圧10 keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ とした。この条件でイオン注入した場合、フッ素の飛程はゲート電極およびシリコン基板の表面近傍に存在することとなる。フッ素注入後、図3(b)に示すように窒素雰囲気下、700℃で20分間熱処理した。このときゲート電極中のフッ素は熱拡散し、ゲート絶縁膜7直下のチャネル領域26に到達する。チャネル領域26を構成するシリコンは、図5(a)のように、末端部が水素で結合されるか、あるいは未結合のまま残存した形態となっているが、これらはいずれもフッ素により容易に置換され、図\*

\*5(b)のようになる。すなわちチャネル領域26を構成するシリコンのSi-H結合やダングリングボンドが効率的にフッ素で置換される。

【0044】つづいてコバルト膜をスパッタリング法により形成した後、熱処理を施すことによりコバルトシリサイド27を形成した(図4(a))。コバルトシリサイド27は、図示したようにゲート電極およびソース・ドレイン領域上に形成される。コバルトシリサイド27の膜厚は約35 nmとなった。

10 【0045】次に層間絶縁膜として全面にBPSG(リンボロンガラス)膜28を堆積後、コンタクトホールを設け、公知のCMP(Chemical Mechanical Polishing; 化学的機械的研磨)プロセスによりタングステンプラグ29を形成した(図4(b))。その後、公知の方法により上層配線等を形成し、CMOSを完成した。

【0046】以上の方法により作製したCMOSに含まれるpMOSについて、耐スロートラップ特性を評価した。上記のもの以外にフッ素導入量を変更したものも同時に評価した。表1に各サンプルのフッ素導入量を示す。上記実施例で説明したpMOSはNO.2に対応する。NO.4はフッ素をイオン注入しない従来のpMOSである。

【0047】

【表1】

NO.	フッ素イオン注入時の ドーズ量 ( $\text{cm}^{-2}$ )	フッ素イオン注入時の加 速電圧 (keV)
1	$6 \times 10^{15}$	10
2	$3 \times 10^{15}$	10
3	$5 \times 10^{14}$	10
4	なし	—

評価は、200℃雰囲気に放置した際の閾値電圧の変動を測定することにより行った。このような高温下に放置した場合、ゲート絶縁膜やチャネル領域中にダングリングボンドが発生しやすく、スロートラップの発生が促進され、閾値電圧の変化が大きくなる。すなわち本実施例の評価は耐スロートラップ特性の加速試験となる。評価結果を図6に示す。本発明の方法を用いたNO.1~3は、従来法によるNO.4に比べ閾値電圧の変動( $\Delta V_{th}$ )が小さく、スロートラップが抑制されていることがわかる。

【0048】以上、CMOSのpMOSについてスロートラップが改善されることを示したが、nMOSに対しても、ホットエレクトロンによる閾値電圧の変動を抑制できるという効果が得られる。

【0049】実施例2

フッ素のイオン注入をシリコン窒化膜形成後に行い、フッ素注入後の熱処理を行わなかったこと以外は実施例1(NO.2)と同様にしてCMOSを作製した。以下、本実施例のプロセスについて図面を参照して説明する。

【0050】まず実施例1の図1~2と同様の工程を行

った。

【0051】次いでコバルト膜をスパッタリング法により形成した後、熱処理を施すことによりコバルトシリサイド27を形成した(図7(a))。コバルトシリサイド27の膜厚は約35 nmとした。

【0052】次にLP-CVD法により全面にシリコン窒化膜(膜厚50 nm)を成膜した(図7(b))。成膜温度は630℃とした。

40 【0053】次いで図7(c)に示すように全面にフッ素24のイオン注入を行った。注入条件は、加速電圧10 keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ とした。フッ素注入後の熱処理は行わなかった。

【0054】次に層間絶縁膜として全面にBPSG(リンボロンガラス)28を堆積後(図8(a))、その上にレジストマスク31を設け(図8(b))、ドライエッチングによりコンタクトホール32を形成した(図8(c))。ドライエッチングは、C、F、にCO、Ar、O<sub>2</sub>を添加したエッチングガスを用いて行った。このエッチングガスはシリコン酸化膜とシリコン窒化膜のエッチング選択比が高く、シリコン窒化膜を選択的にエッ

チングすることができる。このため図8(c)におけるBPSG膜28のエッチングは、シリコン窒化膜30上で停止する。BPSG膜28の膜厚は100nm程度と厚膜であるため、上記エッチングの際、一定程度のオーバーエッチングが必要となる。このため従来ではエッチング時に不純物拡散層がエッチングされてコンタクトブラグの形成不良が生じることがあった。本実施例ではエッチング阻止膜としてシリコン窒化膜を設けているため、このような問題を回避できる。

【0055】BPSG膜28をエッチングした後、今度は、シリコン窒化膜30をドライエッチングにより除去した。このときエッチングガスとして $C_4H_8F_2$ 、 $O_2$ および $O_3$ を含むガスを使用した。このエッチングガスは、コバルトシリサイド27よりもシリコン窒化膜30を選択的にエッチングするため、上記ドライエッチングは、コバルトシリサイド27上で停止する(図9(a))。このコバルトシリサイド27が存在しないと、ソース・ドレイン領域がエッチングされて電流リーク発生を引き起こす場合がある。

【0056】エッチング終了後、レジストマスク31を除去し、次いでスパッタリング法によりTi膜34(膜厚10nm)、TiN膜35(膜厚50nm)をこの順で堆積した。その後、窒素雰囲気下でRTA法により6\*

\*90℃30秒間のアニール処理を行った。このとき、イオン注入されたフッ素がゲート電極中を拡散し、ゲート絶縁膜7直下のチャネル領域26に到達する。これによりチャネル領域26を構成するシリコンのSi-H結合やダングリングボンドが効率的にフッ素で置換される。

【0057】つづいてスパッタリング法により全面にタングステン36を堆積した後、公知のCMPプロセスによりタングステンブラグを形成した。その後、公知の方法により上層配線等を形成し、CMOSを完成した。

【0058】以上の方法により作製したCMOSに含まれるpMOSについて、耐スロートラップ特性を評価した。評価したFETを表2に示す。上記のプロセスにより作製したものがNO.1である。上記のもの以外にフッ素をイオン注入しないpMOSも併せて評価した(NO.2、3)。NO.2はシリコン窒化膜を形成しないプロセスにより得られた従来のCMOSであり、表1のNO.4と同様のものである。NO.3はシリコン窒化膜を形成するプロセスにより得られたCMOSであり、図7(c)のフッ素導入工程を行わなかったこと以外はNO.1と同様にして作製されたものである。

【0059】

【表2】

NO.	フッ素イオン注入時のドーズ量 ( $cm^{-2}$ )	フッ素イオン注入時の加速電圧 (keV)
1	$5 \times 10^{14}$	10
2	なし	—
3	なし	—

評価は、200℃雰囲気中に放置した際の閾値電圧の変動を測定することにより行った。このような高温下に放置した場合、ゲート絶縁膜やチャネル領域中にダングリングボンドが発生しやすく、スロートラップの発生が促進され、閾値電圧の変化が大きくなる。すなわち上記評価は耐スロートラップ特性の加速試験となる。評価結果を図10に示す。本発明の方法を用いたNO.1は、NO.2、NO.3に比べ閾値電圧の変動が小さく、スロートラップが抑制されていることがわかる。また本実施例のプロセスは、実施例1と比較し、フッ素注入量を少なくすることができ、さらにフッ素導入後の熱処理を他の工程(本実施例ではTi/TiN膜形成後のアニール工程)の熱処理と兼用できるというメリットがある。

【0060】以上、CMOSのpMOSについてスロートラップが改善されることを示したが、nMOSに対しても、ホットエレクトロンによる閾値電圧の変動を抑制できるという効果が得られる。

【0061】尚、上記実施例ではCMOS形成プロセスを例にとって説明したが、DRAM等、他のデバイスのトランジスタ形成にも適用できることはいうまでもない。

【0062】

【発明の効果】以上のように本発明によれば、ソース・ドレイン領域形成後にフッ素のイオン注入を行い、その後熱処理を行うため、チャネル領域のシリコン末端部がフッ素により効率的に置換される。このためスロートラップを抑制し、トランジスタの長期信頼性を改善できる。また、ホットエレクトロン効果による閾値電圧変動や相互コンダクタンス $g_m$ の劣化を有効に防止することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を示す工程断面図である。

【図2】本発明の半導体装置の製造方法を示す工程断面図である。

【図3】本発明の半導体装置の製造方法を示す工程断面図である。

【図4】本発明の半導体装置の製造方法を示す工程断面図である。

【図5】シリコン末端部の構造を説明するための図である。

【図6】本発明の適用によるスロートラップ改善効果を

説明するための図である。

【図7】本発明の半導体装置の製造方法を示す工程断面図である。

【図8】本発明の半導体装置の製造方法を示す工程断面図である。

【図9】本発明の半導体装置の製造方法を示す工程断面図である。

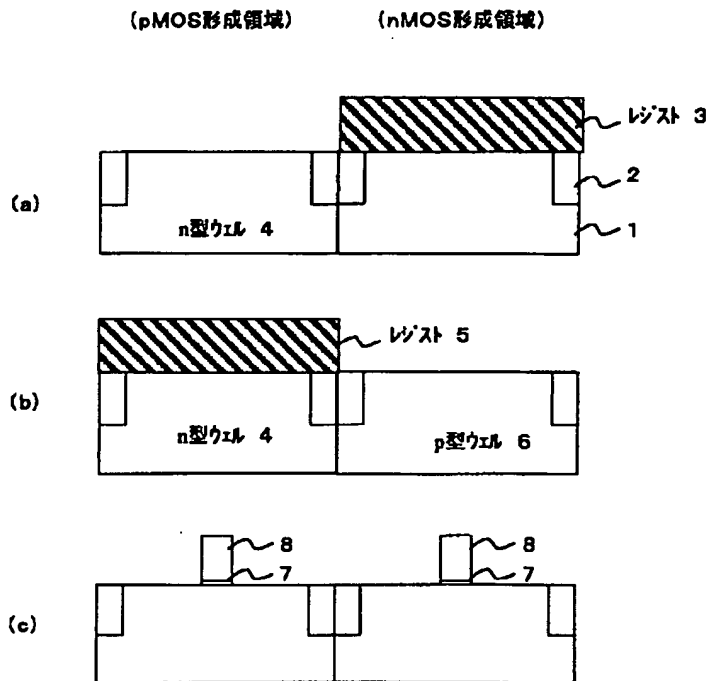
【図10】本発明の適用によるスロートラップ改善効果を説明するための図である。

【符号の説明】

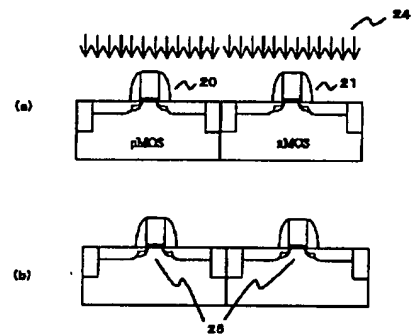
- 1 シリコン基板
- 2 素子分離膜
- 3 レジストマスク
- 4 n型ウェル
- 5 レジストマスク
- 6 p型ウェル
- 7 ゲート酸化膜
- 8 多結晶シリコン
- 9 ドレイン領域
- 12 レジストマスク
- 13 ソース・ドレインエクステンション領域

- \* 14 ポケット領域
- 15 レジストマスク
- 16 ソース・ドレインエクステンション領域
- 17 ポケット領域
- 18 サイドウォール
- 19 サイドウォール
- 20 ゲート電極
- 21 ゲート電極
- 22 ソース・ドレイン領域
- 23 ソース・ドレイン領域
- 24 フッ素
- 26 チャンネル領域
- 27 コバルトシリサイド
- 28 BPSG（リンボロンガラス）膜
- 29 タングステンプラグ
- 30 シリコン窒化膜
- 31 レジストマスク
- 32 コンタクトホール
- 34 Ti膜
- 35 TiN膜
- \* 36 タングステン

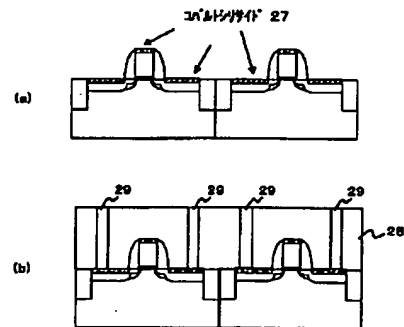
【図1】



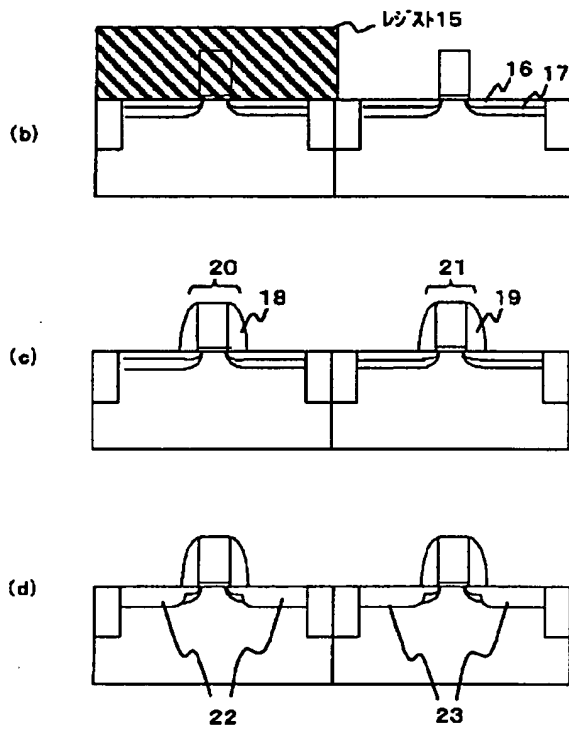
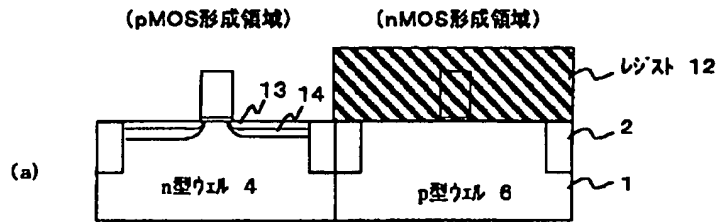
【図3】



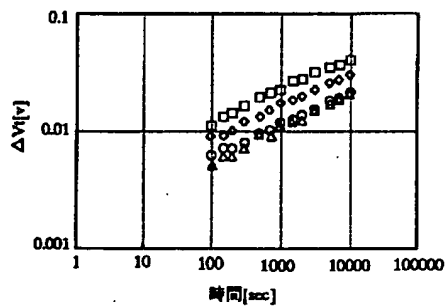
【図4】



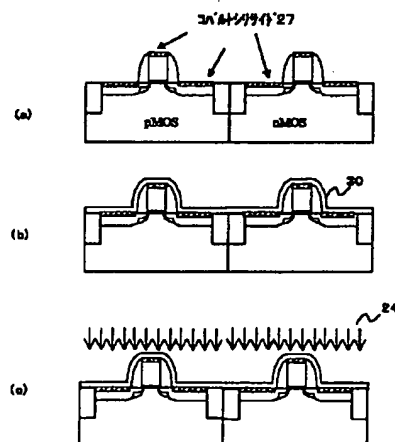
【図2】



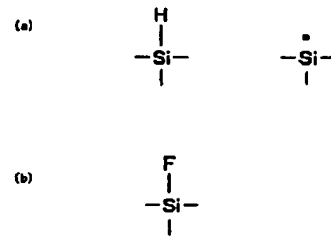
【図6】



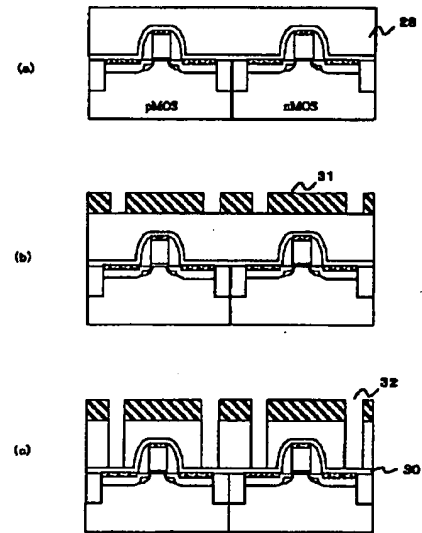
【図7】



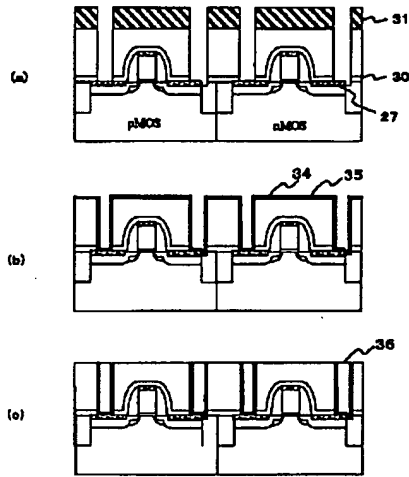
【図5】



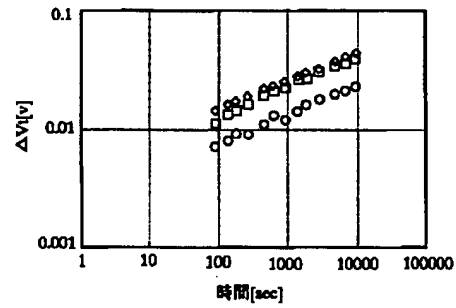
【図8】



【図9】



【図10】



- NO.1(本発明の方法)
- ◇ NO.2(従来技術 窒化膜なし)
- NO.3(従来技術 窒化膜形成)

フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 01 L 29/78

3 0 1 F

F ターム(参考) 4M104 AA01 BB00 BB20 BB25 BB40  
 CC01 CC05 DD04 DD37 DD55  
 DD80 DD84 DD88 DD89 EE06  
 EE17 FF14 GG10 HH18  
 5F040 DA05 DA06 DB03 DC01 EC01  
 EC04 EC07 EC08 EC13 EF02  
 EF11 EH02 EJ03 EK05 EL06  
 EM01 EM02 EM03 FA03 FB02  
 FC00 FC13 FC15 FC19  
 5F048 AA07 AA09 AC03 BA01 BB06  
 BB07 BB08 BB12 BC06 BC07  
 BD04 BE03 BF06 BF07 BF16  
 BG14

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**